



MicroPatent® PatSearch Fulltext: Record 1 of 1

Search scope: JP (bibliographic data only)

Years: 1836-2005

Patent/Publication No.: ((JP06215589))

[Order This Patent](#) | [Family Lookup](#) | [Find Similar](#) | [Legal Status](#)

[Go to first matching text](#)

JP06215589 A
SEMICONDUCTOR MEMORY
HITACHI LTD

Abstract:

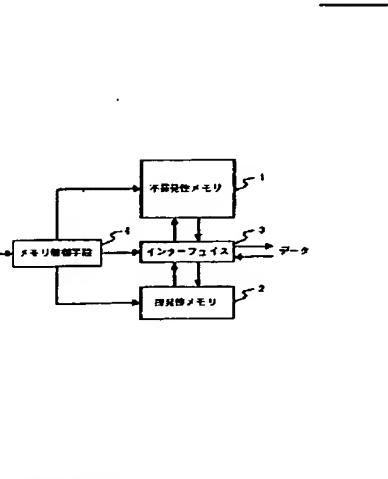
PURPOSE: To obtain a semiconductor memory having the constitution capable of relaxing the limit of the access number of times which a nonvolatile memory has in particular related to the constitution of the semiconductor memory. CONSTITUTION: A part of the contents of the nonvolatile memory is copied in a volatile memory 2 previously. When a bit corresponding to an access request address exists in the volatile memory 2, the information is transferred between the volatile memory 2 and the outside. When not, the information is exchanged between the nonvolatile memory 1 and the volatile memory 2, and the information is transferred between the volatile memory 2 and the outside. Thus, the access number of times to the nonvolatile memory are reduced, and the limit of the access number of times which the nonvolatile memory has is relaxed, and the life of the memory is prolonged.

Inventor(s):

MATSUNO KATSUMI
NAKAGOME YOSHINOBU
TAKEUCHI MIKI
AOKI MASAKAZU

Application No. 05005641 **JP05005641 JP**, **Filed** 19930118, **A1 Published**
19940805

Int'l Class: G11C01606
G06F01216



[Click here for larger image.](#)

BEST AVAILABLE COPY

Patents Citing This One (1):

→ US6418506 B1 20020709 Intel Corporation

Integrated circuit memory and method for transferring
data using a volatile memory to buffer data for a
nonvolatile memory array



Home



Search



List



First



Prev



Go to

[redacted]



Next



Last

For further information, please contact:

Technical Support | Billing | Sales | General Information

BEST AVAILABLE COPY

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-215589

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl. ⁵ G 11 C 16/06 G 06 F 12/16	識別記号 3 10 A 7629-5B 6866-5L	序内整理番号 F I	技術表示箇所 G 11 C 17/00 3 09 F
--	-----------------------------------	---------------	----------------------------------

審査請求 未請求 請求項の数4 OL (全11頁)

(21)出願番号 特願平5-5641	(71)出願人 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日 平成5年(1993)1月18日	(72)発明者 松野 勝己 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(72)発明者 中込 儀延 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(72)発明者 竹内 幹 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
	(74)代理人 弁理士 小川 勝男 最終頁に続く

(54)【発明の名称】 半導体メモリ

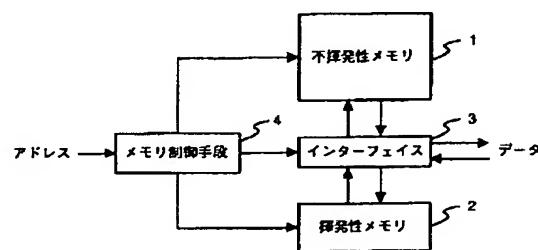
(57)【要約】

【目的】半導体メモリの構成に関し、特に、不揮発性メモリの持つアクセス回数制限を緩和することの可能な構成を持つ半導体メモリを提供する。

【構成】不揮発性メモリ1の内容の一部を予め揮発性メモリ2にコピーしておく。アクセス要求アドレスに対応するビットが揮発性メモリ2にある時には、揮発性メモリ2と外部との間で情報の授受を行う。そうでない時には、不揮発性メモリ1と揮発性メモリ2との間で情報の入れ替えを行い、次いで揮発性メモリ2と外部との間で情報の授受を行う。

【効果】不揮発性メモリへのアクセス回数が低減されるので、不揮発性メモリの持つアクセス回数制限を緩和し、メモリ寿命を延ばす効果がある。

図1



1

2

【特許請求の範囲】

【請求項1】不揮発性メモリと、揮発性メモリとを有し、上記揮発性メモリに上記不揮発性メモリの少なくとも一部の記憶内容を予め複製して用い、外部への情報の入出力を主に上記揮発性メモリから行うことを特徴とする半導体メモリ。

【請求項2】請求項1において、上記メモリにアドレス信号を入力した際、上記アドレスに対応するビットが、上記メモリの有する揮発性メモリに複製された領域に含まれる場合、外部への情報の入出力を上記揮発性メモリから行い、上記揮発性メモリに上記アドレスに対応するビットが複製されていなかった場合、上記揮発性メモリの記憶内容を上記半導体メモリの有する不揮発性メモリに書き込み、その後、上記アドレスに対応するビットを含む上記不揮発性メモリのメモリ領域を上記揮発性メモリに複製し、外部への情報の入出力を上記揮発性メモリから行う半導体メモリ。

【請求項3】請求項1もしくは2において、上記メモリの有する揮発性メモリに複製される記憶内容は、上記メモリの有する不揮発性メモリの各部の書き込み回数および読み出し回数を管理する内容を含み、上記不揮発性メモリにおいて情報が書き込まれた位置を移動させることにより、上記不揮発性メモリの各部の書き込み回数および読み出し回数を平均化する半導体メモリ。

【請求項4】請求項1において、上記メモリの有する不揮発性メモリは強誘電体を具備し、上記強誘電体の残留分極の方向を制御することにより情報を記憶するメモリである半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリに係り、特に、アクセス回数に制限を持つ不揮発性メモリを用い、その制限を緩和することを可能とした半導体メモリに関する。

【0002】

【従来の技術】電源を切り離した後でも書き込まれた情報が保持される不揮発性メモリの例として、例えば、米国特許第4,873,664号に開示されているような強誘電体メモリが挙げられる。

【0003】図11(a)は、強誘電体メモリにおけるメモリセルの構成を表す。メモリセルは、強誘電体膜を極板間誘電体として用いた強誘電体キャバシタCFE1と、メモリセル選択用トランジスタPT1により構成される。ワード線WL1、プレート線PL1は、メモリセルアレイにおいてメモリセルを選択的に駆動する。データ線DL1は、メモリセルから信号を読み出し、また書き込み信号をメモリセルに伝達する。

【0004】メモリセルにおいて不揮発的に情報を記憶する方法について、図11(b)を用いて説明する。図は、強誘電体キャバシタCFE1にかかる電圧VFE

10

20

30

40

50

と、流れ込む電荷QEとの関係を示している。強誘電体にある強さの電界が印加されると、電界に沿った方向に分極が生じ、この分極は、ある強さの逆方向電界を印加するまで保持される。これを用いて形成した強誘電体キャバシタCFE1の電圧電荷特性には、図に示すようなヒステリシス特性が現われる。ここで、VFEを適当な大きさの電圧VM1にした後0Vになると、CFE1の状態は、図に示した状態d1から状態s1に遷移する。また、VFEをVM1と逆向きで適当な大きさの電圧-VM0にした後0Vになると、CFE1の状態は、状態d0から状態s0に遷移する。この状態s1とs0を、それぞれ情報‘1’と‘0’に対応させることにより、情報が記憶される。情報を読み出す時は、例えば、プレート線PL1に適当な大きさの電圧パルスを印加し、CFE1の状態を状態d1に遷移させる。ここで、状態s0から状態d1に遷移した場合、状態s1から遷移した場合に比べ、残電荷Qr1と-Qr0との差分だけ多くの電荷がデータ線DL1に流出することから、情報に対応して異なる信号が発生することとなる。これを検出することにより、情報を読み出すことができる。この方式では、電源を切った後も情報を保持することができるので、不揮発性メモリを構成できる。

【0005】

【発明が解決しようとする課題】しかし、上記の不揮発性メモリには、以下の問題があった。即ち、情報の読み出しおよび書き換えのため強誘電体の分極反転を繰り返すことにより、強誘電体膜が疲労し、残留分極が減少するので、情報の読み出し・書き換え回数が多くなると、読み出し時における信号量が減少する危険があり、従つてアクセス回数が制限される問題があった。

【0006】このような問題の解決策として、例えば、米国特許第4,853,893号に開示されたように、通常動作時に分極を反転させず、ダイナミックランダムアクセスメモリ(DRAM)と同様に、キャバシタに蓄積された電荷により情報を記憶し、必要時に分極を反転させることにより不揮発的に情報を記憶する方式が挙げられる。しかし、この方式には、通常動作時においてDRAMと同様にリフレッシュ動作を必要とする問題があった。また、電荷による揮発性記憶モードと残留分極による不揮発性記憶モードとの切り替えの際、全ビットの情報を順次読み出し、センサアンプにより増幅して、再書き込みを行う動作を必要とするため、記憶モードの切り替えに時間がかかる問題もあった。さらに、DRAMモードで動作する間にも、強誘電体膜には電圧ストレスがかかり続けることから、強誘電体膜の疲労に悪影響を及ぼす懸念もあった。

【0007】一方、特に書き換え回数に制限を持つフラッシュメモリのファイルシステムへの応用に関して、例えば日経マイクロデバイス第84号(1992年6月)第57頁に掲載されたように、アクセス頻度の非常に高

3

いファイル管理領域を複数のデータブロックに分散配置して、データブロックとファイル管理領域の書き換え回数を均等にするとともに、各ブロックの書き換え回数を管理し、書き換え回数の増えた領域の書き換えを制限することにより、書き換え回数の制限を緩和する方式が知られている。しかし、この方式は、書き換え動作がブロック単位で行われること、読み出し回数に関しては特に制限を持たないこと等、フラッシュメモリの特徴に鑑みて考案されたものであり、ピット単位の書き換え動作が可能でありながら、読み出し回数を含めたアクセス回数に制限を持つ強誘電体メモリへの応用に際しては、特定個所へのアクセス集中に関し大きな効果は得られない。また、例えば、メインメモリとしての応用等、ファイルシステム以外の用途に対しては、上記の方式は適当でない。

【0008】本発明の目的は、このような書き込みおよび読み出し回数制限を持つ不揮発性メモリの制限を緩和することが可能な構成を持つ半導体メモリを提供することにある。

【0009】

【課題を解決するための手段】上記目的は、アクセス回数において特に問題のない小容量の揮発性メモリを設けて不揮発性メモリの記憶情報の一部のコピーを置き、外部との情報の授受を主に揮発性メモリを用いて行うことにより達成される。

【0010】

【作用】上記のメモリにおいて、不揮発性メモリ上の頻繁にアクセスされるメモリ領域を揮発性メモリ上にコピーしておく。これと異なるメモリ領域が必要となった時には、揮発性メモリの内容を不揮発性メモリの対応する領域にコピーバックし、次いで不揮発性メモリ上の必要な領域を揮発性メモリにコピーする。これにより、不揮発性メモリがアクセスされるのはコピーおよびコピーバック動作だけになる。従って、不揮発性メモリへのアクセス回数が減り、書き込み回数および読み出し回数の制限を緩和することが可能になる。

【0011】

【実施例】図1は、本発明の基本概念を示す一実施例である。図において、不揮発性メモリ1は、アクセス回数に制限を持つメモリであり、例えば、強誘電体メモリを用いる。揮発性メモリ2は、不揮発性メモリのメモリ容量以下のメモリ容量を持ち、十分な回数のアクセスが可能なメモリであり、例えば、スタティックランダムアクセスメモリ(SRAM)を用いる。インターフェイス3は、不揮発性メモリ1と揮発性メモリ2との間のデータ転送、および図のメモリシステム外部、例えばCPUとのデータの授受を行う。これらの動作は、メモリ制御手段4により制御される。メモリ制御手段4は、外部からのアドレス入力および制御信号入力により、メモリ各部にアドレスおよび制御信号を送信する装置であってもよ

4

く、あるいは上記の動作を行うソフトウエアであってよい。また、図のメモリを構成する回路は複数個のチップを結合したモジュールでも、オンチップ化されたものであってもよい。

【0012】上記のメモリの動作手順の一例について、図2を用いて説明する。まず、不揮発性メモリ1の必要な領域を、インターフェイス3を通して、揮発性メモリ2にコピーする(手順101)。コピーされる領域には、一連のデータ処理に必要なデータが含まれているものとする。次にインターフェイス3を介して、揮発性メモリ2と外部にあるCPUとの間で、データ転送を行う(手順102)。一連のデータ転送およびCPUでのデータ処理を繰り返し行った後、次の連のデータ処理において他のメモリ領域にあるデータが必要となった場合(手順104)、揮発性メモリ2の記憶内容を不揮発性メモリ1にコピーバックし(手順105)、再び不揮発性メモリ1の必要な領域を、揮発性メモリ2にコピーする。データ処理が終了した場合(手順103)、揮発性メモリ2の記憶内容を不揮発性メモリ1にコピーバックし(手順106)、動作を終了する。電源を切る場合にも、コピーバック後、動作を終了する。

【0013】この際、特に停電時には、例えば、電源配線放電の時定数を十分大きくする等により、コピーバック動作時間分だけ電源電圧を維持しておけばよい。また、外部との間のデータ転送中に電源が切られたような場合には、保存データの破壊防止のため、コピーバック動作を行わなくてもよい。なお、揮発性メモリ2上にない領域のデータを一時的に必要とする場合には、コピー動作を行わずに、不揮発性メモリ1と外部との間でデータ転送を行ってよい。特にテスト動作時には、インターフェイス3を適宜切り替え、不揮発性メモリ1と揮発性メモリ2を選択的に外部と接続すればよい。また、不揮発性メモリ各部のアクセス回数を管理し、メモリ制御手段4において適当なアドレス変換を行ってデータ書き込み位置を変更することにより、アクセス回数を平均化すれば、不揮発性メモリ1のさらなる高信頼化、長寿命化を図れる。さらにまた、欠陥ピットの情報も管理し、メモリ制御手段4によるアドレス変換により救済を行うことも可能である。

【0014】本実施例によれば、不揮発性メモリへのアクセスはコピー動作時のみであるから、不揮発性メモリのアクセス回数を低減し、長寿命の不揮発性メモリを得ることができる。特に強誘電体メモリを用いた構成のメモリでコピーバックを行う場合、コピー後と記憶情報が異なるピットのみ分極反転が行われればよいので、分極反転を伴うアクセス回数を実質的にさらに低減することも可能である。

【0015】なおここで、例えばアイ・イー・イー・イー、ジャーナル オブ ソリッドステート サーキット、第26巻、第4号(1991年)第560頁から第

565頁(IEEE, JOURNAL OF SOLID-STATE CIRCUITS, Vol. 26, No. 4 (1991) pp. 560-565)に示されたように、DRAMのような大容量のメモリにSRAMキャッシュメモリを設けた例が知られている。しかし、これは大容量メモリのアクセス高速化を目的として構成されたものであり、本発明のように、不揮発性メモリの信頼性向上を目的として構成されたものとは本質的に異なるものである。

【0016】図3は、本発明の基本概念を示す別の実施例である。図において、不揮発性メモリ11は、図1に示した実施例における不揮発性メモリ1と同様に、アクセス回数に制限を持つメモリである。また、揮発性メモリ12は、図1に示した実施例における揮発性メモリ2と同様に、十分な回数のアクセスが可能なメモリである。本実施例では、不揮発性メモリ11と揮発性メモリ12は、インターフェイスを介さず直接接続される。例えば1チップ上に両者を隣接して配置し、複数本、例えば、揮発性メモリのデータ線と同数のデータバスにより接続すれば、コピー動作を並列・高速に行うことができる。揮発性メモリ12は、入出力バッファ13を介して外部との間でデータ転送を行う。これらの動作は、メモリ制御手段14により制御される。

【0017】メモリの動作手順の一例について、図4を用いて説明する。図の例は、図3に示したメモリを、外部からは1個のメモリとして見えるように動作させる例である。まず、外部からアクセス要求アドレスが入力される(手順111)。ここで、外部からみたアドレスは、不揮発性メモリ11上のいずれかの物理アドレスに対応するものとする。この時、メモリ制御手段14において、要求アドレスを含む領域が揮発性メモリ12の上にコピーされているか判定する(手順112)。コピーされていない場合、揮発性メモリ12の内容を不揮発性メモリ11にコピーバックし(手順113)、次いで不揮発性メモリ11の要求アドレスを含む領域を揮発性メモリ12にコピーする(手順114)。そして、入出力バッファ13を介して、揮発性メモリ12と外部との間でデータ転送を行う(手順115)。この動作によると、メモリシステム外部からはコピー動作を指示せず、アドレス入力とデータ入出力のみを行うので、このメモリシステムを1個のメモリとしてみることができる。よって、図3のメモリを1チップ上に搭載し、1個のメモリとして扱う場合に適した動作である。なお、揮発性メモリ12のメモリセルを選択せず、揮発性メモリ12を通過して不揮発性メモリ11と外部との間でアクセスするモードを設けてよい。特に、テスト動作時には、不揮発性メモリ11と揮発性メモリ12とを独立に動作させるとよい。あるいは、揮発性メモリ12について、まず、テストおよび救済を行った後、揮発性メモリ12を介して不揮発性メモリ11をテストしてもよい。また、電源が切られる場合、コピーバック動作のみを行い、情

報を不揮発性メモリ11に退避する。ここで、例えば実行するために外部に転送したプログラムブロックの先頭アドレス等、現在のジョブ実行状況を示す情報を同時に退避しておくと、停電後ジョブを途中から再開できて便利である。

【0018】本実施例によれば、前述の実施例と同様に、不揮発性メモリへのアクセス回数を低減し、長寿命の不揮発性メモリを得ることができる。本実施例は、特に両者をオンチップ化して、多数本のバスラインを通して簡単かつ直接的にコピー動作を行う構成に適している。

【0019】図5は、本発明に基づき構成したメモリアレイを示した一実施例であり、不揮発性メモリ11、揮発性メモリ12および入出力バッファ13の構成をより詳細に示したものである。図において、不揮発性メモリ11は、強誘電体の残留分極を用いて不揮発的に情報を記憶するメモリであり、ワード線22Wとデータ線22Dとの交点にメモリセルを配置して構成されるメモリアレイ21を有する。ワード線22Wは、デコーダ・ドライバ23Wにより選択・駆動される。また、データ線22Dは、アンプ・デコーダ23Dにより選択・駆動され、データバス28に接続される。アンプ・デコーダ23Dには、データ線22D、あるいはデータバス28を充電するプリチャージ回路も含んでよい。データバス28は、揮発性メモリ12のデータ線25Dに接続され、データ線22D以下の本数、例えば1/2の本数を持ち、データ線22Dを選択的にデータバス28に接続する。よって、メモリアレイ21、24のデータ線ピッチが異なっていても、両者を容易に接続できる。揮発性メモリ12には、SRAMを用いる。メモリアレイ24のワード線25Wは、デコーダ・ドライバ26Wにより選択・駆動される。また、データ線25Dは、データバス28に接続され、アンプ・デコーダ26Dにより選択・駆動され、入出力部27に接続される。アンプ・デコーダ26Dには、データ線25D、あるいはデータバス28を充電するプリチャージ回路も含んでもよい。入出力部27は、外部とのデータ転送を行う部分である。各デコーダおよびアンプ等の周辺回路に与えるアドレス信号や制御信号は、メモリ制御部から供給される。

【0020】本実施例に示した構成では、複数本のデータバスを並列に設ける構成としており、特に、オンチップ化して高速にコピー動作を行うのに適した構成となっている。なお、強誘電体メモリアレイ21が、例えば、図11に示すように3種類の駆動線を必要とするメモリセルを用いて構成された場合、適宜デコーダおよびドライバを増設してよい。また、不揮発性メモリを特に強誘電体メモリに限る必要はなく、書き換え回数に制限を持つフラッシュメモリ等を用いても、同様に長寿命化が可能である。但し、強誘電体メモリを用いた場合、フラッシュメモリを用いた場合に比べ、書き換えが

高速で、書き込み用高電圧が不要である。また、揮発性メモリは、アクセス回数が実用上問題のないメモリであればよく、例えばDRAMを用いてもよい。

【0021】図6は、本発明に基づき構成したメモリ制御部を示した一実施例であり、メモリ制御手段14の構成をより詳細に示した一例である。図において、アクセスアドレスバッファ31は、外部から入力されたアドレスを受け取る。コピーアドレスバッファ32は、不揮発性メモリ11のメモリ領域のうち揮発性メモリ12にコピーが置かれている領域を示す情報、例えば、コピーされた領域の先頭アドレス、末尾アドレスが記憶される。コピーアドレスバッファ32の機能は、揮発性メモリ12のメモリ領域の一部にコピー情報を置き、これを参照することにより達成してもよい。外部からアドレスが入力されると、ヒット判定部33は、アクセスアドレスバッファ31とコピーアドレスバッファ32の内容から、要求アドレスが揮発性メモリ12にコピーされているかどうかを判定し、不揮発性メモリ11、揮発性メモリ12の物理的アドレスを生成する。要求アドレスがコピーされていない場合、揮発性メモリ12のデータを入れ換えるとともに、コピーアドレス更新部35は、コピーアドレスバッファ32の内容を更新する。メモリアレイに送るアドレスおよび動作制御パルスは、制御パルス発生部34から供給される。

【0022】ヒット判定部33の動作をより詳細に述べる。

【0023】(1) 要求アドレスがコピーされていた場合、ヒット判定部33は、揮発性メモリ12の物理アドレスを生成し、制御パルス発生部34に伝える。

【0024】(2) 要求アドレスがコピーされていなかつた場合、まず揮発性メモリ12、不揮発性メモリ11のコピーバック用物理アドレスを生成し、制御パルス発生部34に伝える。この時、アドレスはヒット判定部33により連続的に生成し伝送してもよいし、先頭アドレスとデータサイズを伝送し、制御パルス発生部34により連続的にアドレスを生成してもよい。次に、不揮発性メモリ11、揮発性メモリ12のコピー用物理アドレスを生成し、制御パルス発生部34に伝える。次に、要求アドレスに対応する揮発性メモリ12の物理アドレスを生成し、制御パルス発生部34に伝える。

【0025】(3) 電源を切る場合、上に述べたコピーバック動作のみを行う。この動作は、例えばパワーダウンピンを設け、制御信号を送ることにより行われる。また、これを用いて外部から強制的にコピーバックを行うこともできる。逆に、外部との間のデータ転送中のパワーダウン等、コピーバックによりデータが破壊されるおそれがある場合には、パワーダウン信号を送らずに電源を切ることもできる。

【0026】(4) 挥発性メモリ12のテストを行う場合、要求アドレスがコピーされていた場合と同様の動作

を行う。但し、ヒット判定は行わず、例えば不揮発性メモリ11と揮発性メモリ12の先頭アドレスを対応させて、要求アドレスから揮発性メモリ12の物理アドレスを生成する。あるいは、予め不揮発性メモリ11から揮発性メモリ12のメモリ容量と同じ大きさの領域をコピーする動作を行い、統いて、コピーされた領域のアドレスを用いてテストを行ってもよい。

【0027】(5) 不揮発性メモリ11のテストを行う場合、要求アドレスに対応する不揮発性メモリ11の物理アドレスを生成し、制御パルス発生部34に伝える。制御パルス発生部34は、不揮発性メモリ11の行列アドレスおよび揮発性メモリ12の列アドレスのみをメモリに伝送し、揮発性メモリ12のワード線を選択しないことにより、不揮発性メモリ11への直接的なアクセスを実行でき、これにより不揮発性メモリ11のテストが行える。この動作は、例えば、テストピンとパワーダウンピンに同時に制御信号を送る等により、揮発性メモリ12のテストと区別して行う。あるいは、揮発性メモリ12のテスト終了後、揮発性メモリ12上にテストパターンを書き込んでコピーバック、コピー動作を行うことにより、不揮発性メモリ11のテストを実行してもよい。

【0028】本実施例によれば、図3の実施例に基づくメモリ制御部を構成できる。これを全てハードウェア上に構成してもよいし、例えば、アドレスバッファと制御パルス発生回路を設け、これをソフトウェアにより制御してもよい。

【0029】図7は、本発明によるメモリの領域割当て方法の一例であり、特に、図1あるいは図3に示したメモリを半導体ファイルとして使用するのに適した方法である。図において、柱状グラフ41は不揮発性メモリのメモリ領域を概念的に表し、柱状グラフ42は揮発性メモリのメモリ領域を概念的に表す。不揮発性メモリ41において、領域41a、41b、41cは、それぞれファイルFILE1、FILE2、FILE3に割当てられている。グラフ右の1目盛は単位メモリ領域を表し、例えば、FILE1は4単位のメモリ領域を占めている。ここで、1個のファイルは物理的に連続する単位メモリ領域に配置されず、とびとびであってもよい。領域

41Xは、メモリ領域の割当て管理情報即ちどのファイルがどのメモリ領域を占有しているかを示す情報INDEXを格納する領域である。また、揮発性メモリ42において、領域42Cは、不揮発性メモリ41上のいずれかのファイルをコピーしたファイルCOPYを格納する。領域42Xは、不揮発性メモリ41上のメモリ領域管理情報INDEXのコピーINDEXを格納する。領域42Hは、不揮発性メモリ41上のどのファイルがコピーされたかを示す情報HEADERを格納する。

【0030】図8を用いて上記メモリ領域割当て方法に適した動作手順の例を説明する。初めに、領域41Xの

内容INDEXを、領域42Xにコピーしておく(手順121)。アドレスが入力されると(手順122)、HEADERおよびINDEXCの情報から、要求アドレスが領域42CにコピーされたファイルCOPY中に存在するかどうか判定する(手順123)。なお、ここで要求アドレスは、不揮発性メモリ41の持つ物理アドレスのいずれかに対応するものとする。COPYに要求アドレスがコピーされていない場合、COPYの内容を不揮発性メモリ41にコピーバックし(手順124)、要求アドレスを含むファイルをINDEXCの情報により検索し(手順125)、領域42Cにコピーする(手順126)。同時に、HEADERの内容を更新する。そして、コピーされたファイルCOPYにアクセスする(手順127)。

【0031】ここでデータ処理によりCOPYのファイルサイズが不足した場合、不揮発性メモリ41上の空き領域を追加割当てしてファイル領域を拡張し、ファイルサイズを縮小した場合、不揮発性メモリ41上の該当ファイルにおける不要領域を開放してよい。この操作には、メモリ間のデータ転送等の操作は必要なく、メモリ領域管理情報INDEXCの更新だけでよい。

【0032】処理が終了した場合、ファイルCOPYの内容を不揮発性メモリ41にコピーバックし(手順128)、メモリ領域管理情報INDEXCの内容を領域41Xにコピーバックして(手順129)、動作を終了する。この動作を通じて、不揮発性メモリのファイル格納領域41a, 41b, 41c,…へのアクセスはコピーおよびコピーバック動作時のみであるので、不揮発性メモリを単独で用いる場合に比べ、不揮発性メモリへのアクセス回数を低減することができる。また、比較的頻繁にアクセスする必要のあるメモリ領域管理情報INDEXをINDEXCにコピーすることで、不揮発性メモリのファイル管理領域41Xへのアクセスは動作開始および終了時だけになり、この領域へのアクセス回数を大幅に低減できる。

【0033】なお、INDEXCのコピーバック動作を動作終了時に限らず、例えば定期的に行ってもよい。また、メモリ領域管理情報INDEXによって不揮発性メモリのファイル格納領域各部のアクセス回数も管理し、格納位置を適当地シフトすることによって、アクセスを平均化することもできる。同様に、欠陥ビット情報もINDEXにより管理し、適当なアドレス変換により救済を行うことも可能である。さらにまた、外部からメモリにアクセスする際、特に本発明に基づき構成した半導体ファイルからメインメモリとの間でデータ転送を行う場合等、先頭アドレスから所定の大ささのデータを連続的に転送する。あるいは、ファイルを指定し、ファイル全体のデータを連続的に転送するように動作させると効率的である。

【0034】本実施例によれば、特に不揮発性メモリを

用いて半導体ファイルを構成した場合において、メモリを効率的に機能させ、かつ不揮発性メモリへのアクセス回数を低減することができる。

【0035】図9は、本発明によるメモリの領域割当て方法の別の例であり、図7に示した例より単純な制御により効果を得られる方法である。図において、柱状グラフ51は不揮発性メモリのメモリ領域を概念的に表し、柱状グラフ52は揮発性メモリのメモリ領域を概念的に表す。不揮発性メモリ51において、領域51a, 51b, 51cは、それぞれファイルFILE11, FILE12, FILE13に割当てられている。領域51Xは、メモリ領域の割当て管理情報INDEXを格納する領域である。揮発性メモリ52には、不揮発性メモリ51上のメモリ領域管理情報INDEXのコピーINDEXだけを置く。

【0036】上記のメモリ領域割当て方法に適した動作手順の例を、図10を用いて説明する。初めに、領域51Xの内容INDEXを、揮発性メモリ52にコピーしておく(手順131)。アドレスが与えられると(手順132)、INDEXCの情報から、要求アドレスに対応する不揮発性メモリ51の物理アドレスを求め(手順133)、不揮発性メモリ51にアクセスする(手順134)。不揮発性メモリ51に新規にデータ領域を確保する。あるいは不要になったデータ領域を開放する等、メモリ領域割当ての変更は、揮発性メモリ52に置かれたコピーINDEXCの更新により行う。処理が終了した場合、メモリ領域管理情報INDEXCの内容を領域51Xにコピーバックして(手順135)、動作を終了する。この動作により、ファイル管理領域51Xへのアクセスを動作開始および終了時だけにすることができる、本来アクセス頻度の高いこの領域へのアクセス回数を大幅に低減することができる。なお、図8の例と同様に、INDEXCのコピーバックの適宜実施、INDEXによるアクセス回数管理とアクセス回数平均化および欠陥ビット情報管理とアドレス変換、データの連続転送を行つてもよい。

【0037】本実施例によれば、メモリ動作の制御が単純になり、コピーバック、コピー動作によるオーバーヘッドを大幅に低減でき、アクセスが高速化される。また、コピー領域が小さいためコピーバック動作を短時間で行うことができるので、特に停電時に、電源電圧を維持する時間が短くてすむ。

【0038】
【発明の効果】本発明によれば、不揮発性メモリのアクセス回数制限を緩和し、長寿命の不揮発性メモリを構成することができる。

【図面の簡単な説明】

【図1】本発明によるメモリ構成を示すブロック図。

【図2】本発明によるメモリの動作手順を示すフローチャート。

(7)

特開平6-215589

11

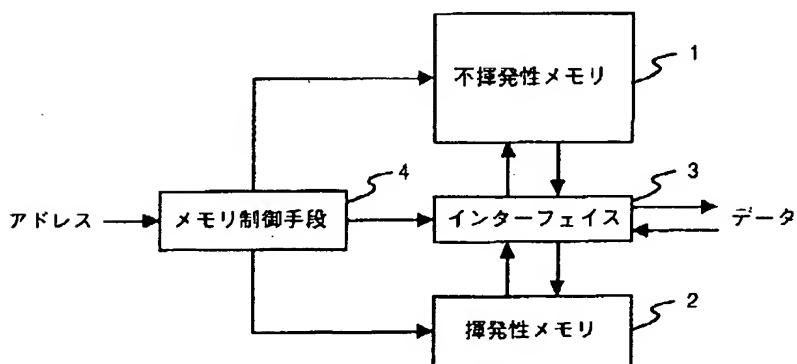
12

【図3】本発明によるメモリ構成を示すブロック図。
 【図4】本発明によるメモリの動作手順を示すフローチャート。
 【図5】本発明によるメモリのメモリアレイについての構成を示すブロック図。
 【図6】本発明によるメモリのメモリ制御部についての構成を示すブロック図。
 【図7】本発明によるメモリにおけるメモリ領域割当ての例を示す説明図。
 【図8】本発明によるメモリの動作手順を示すフローチャート。

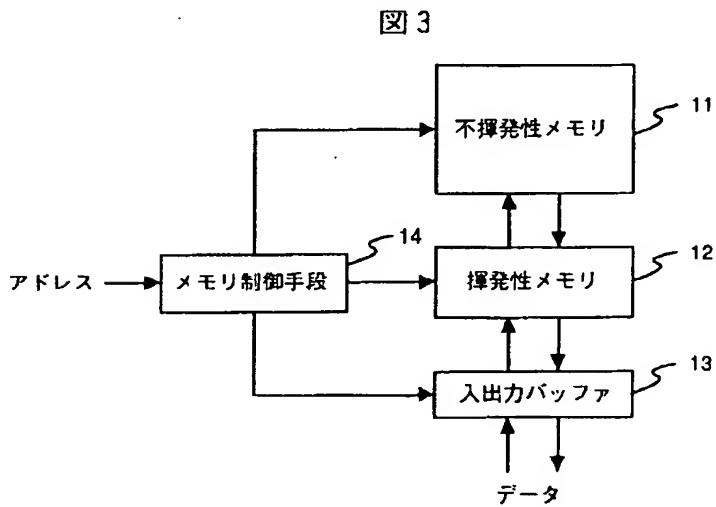
【図9】本発明によるメモリにおけるメモリ領域割当ての例を示す説明図。
 【図10】本発明によるメモリの動作手順を示すフローチャート。
 【図11】従来の強誘電体メモリに用いられたメモリセルと、強誘電体キャパシタの特性図。
 【符号の説明】
 1…不揮発性メモリ、2…揮発性メモリ、3…インターフェイス、4…メモリ制御手段。

【図1】

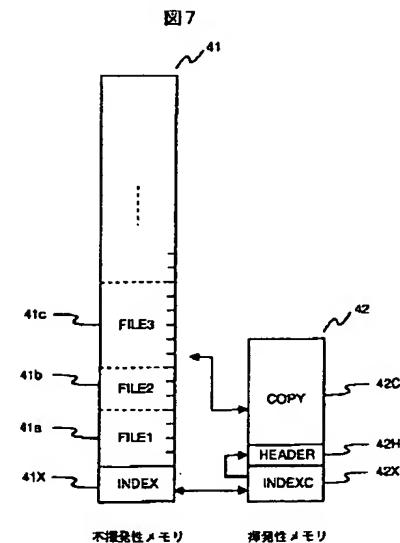
図1



【図3】



【図7】



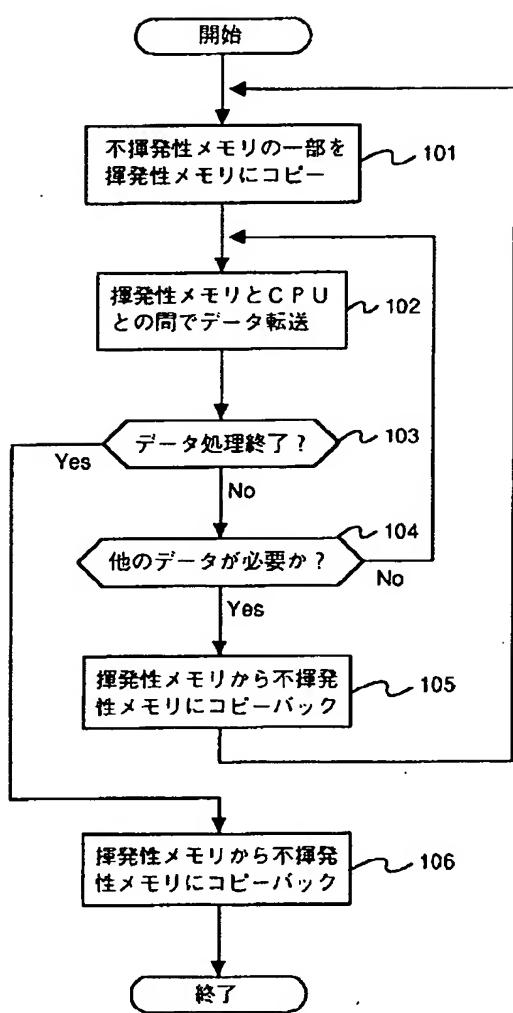
BEST AVAILABLE COPY

(8)

特開平6-215589

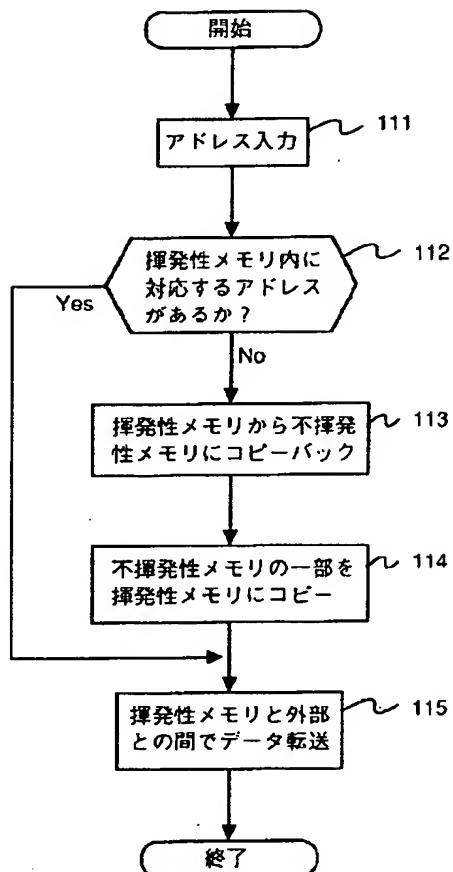
【図2】

図2



【図4】

図4



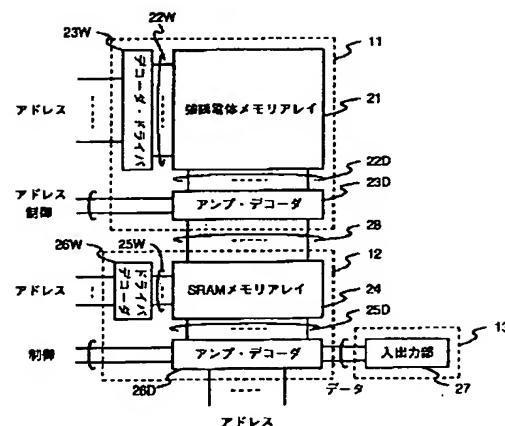
BEST AVAILABLE COPY

(9)

特開平6-215589

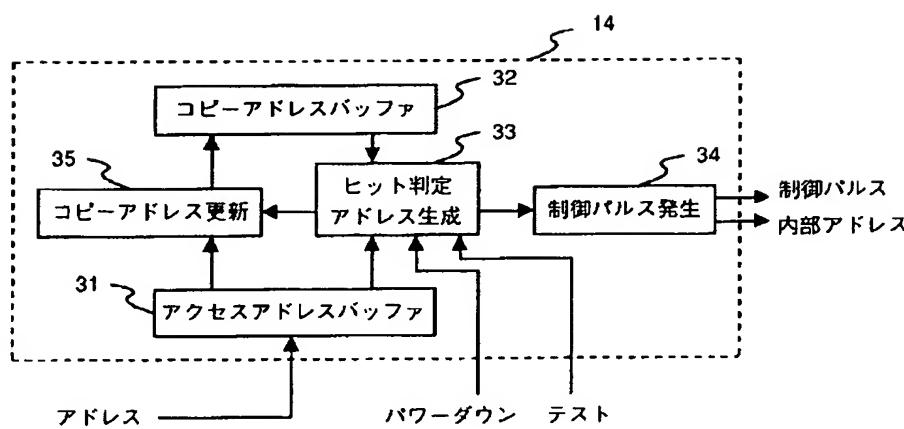
【図5】

図5



【図6】

図6



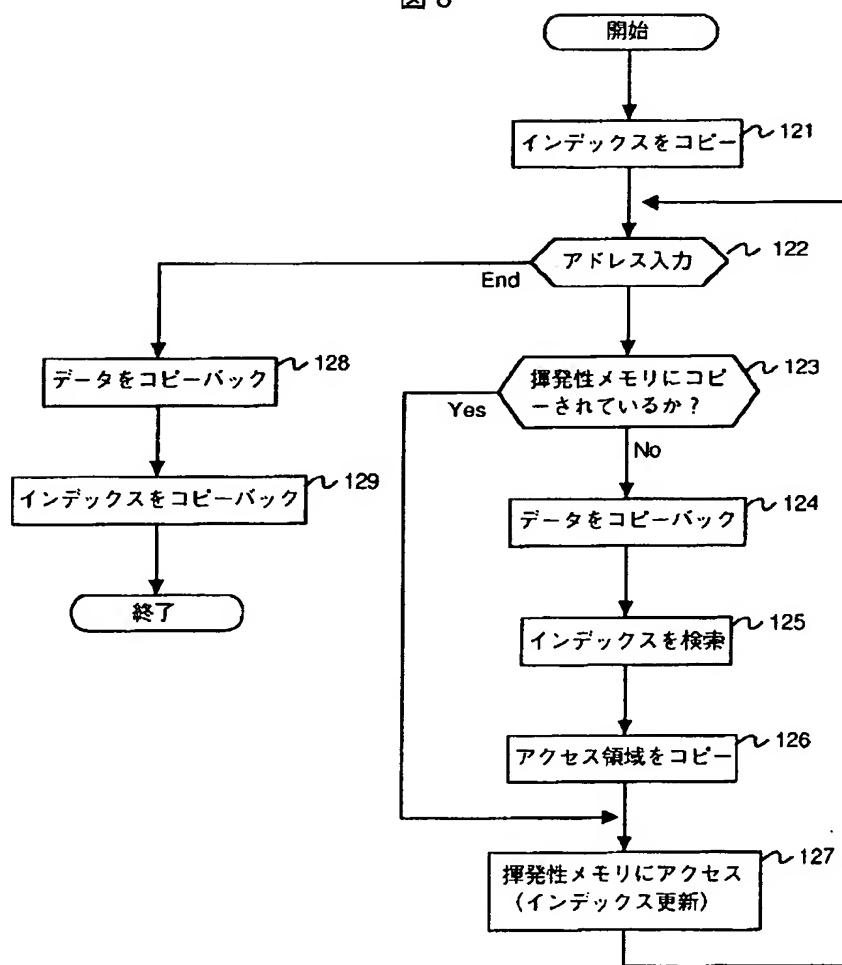
BEST AVAILABLE COPY

(10)

特開平6-215589

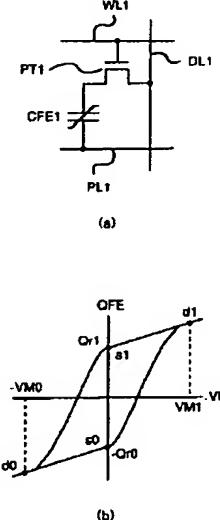
【図8】

図8



【図11】

図11

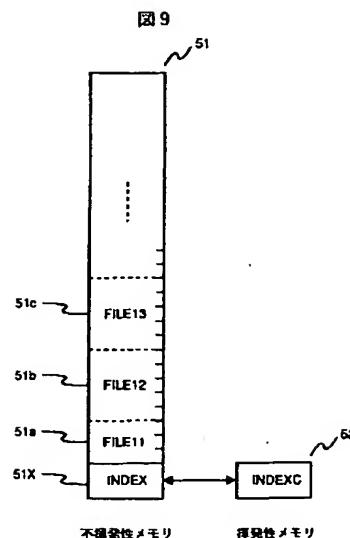


BEST AVAILABLE COPY

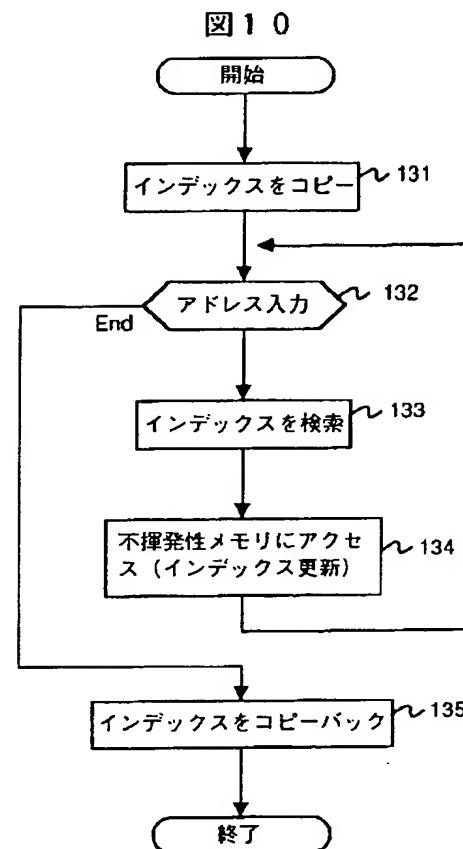
(11)

特開平6-215589

【図9】



【図10】



フロントページの続き

(72)発明者 齋木 正和

東京都国分寺市東恋ヶ窪1丁目280番地
株式会社日立製作所中央研究所内